

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
 - TEXT CUT OFF AT TOP, BOTTOM OR SIDES
 - FADED TEXT
 - ILLEGIBLE TEXT
 - SKEWED/SLANTED IMAGES
 - COLORED PHOTOS
-
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
 - GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)



TRANSLATION OF

ANNEXES

TO IPER

FOR

PCT/EP00/03575

THIS PAGE BLANK (USPTO)

For vertical electric connection of the circuits contained on both substrates, further process steps are performed to produce a metalization after connecting the two substrates one of which was thinned. The disadvantage of the known method is that completely processed substrates must be made available and additional process steps are required for producing the vertical electric connection.

US 4,939,568, US 5,426,072 and US 5,627,106 disclose further methods for producing three-dimensional integrated circuits. For producing the vertical electric connections, however, these known methods also require additional steps in production.

The problem of the present invention is thus to state a vertically integratable circuit and a method for producing same that manages with fewer process steps.

This problem is solved by the features of the independent claims.

It is assumed that the vertical electric contacts are produced using process steps in the production of the vertically integratable circuit itself. This simplifies the sequence of production for vertically integratable circuits and thus the three-dimensional integrated circuit as a whole, thereby optimizing plant running times since process steps are saved. Because finished substrates are no longer the starting point for producing the vertical electric connections, an improved yield is moreover obtained since no process steps which could in particular change the already produced active circuit elements, such as steps with high process temperatures, are necessary any longer after production of the circuit elements.

Further advantages of the invention will result from the following exemplary description with reference to figures, in which:

Figure 1 shows different process steps of a method for producing vertically integratable circuits; and

Figure 2 shows an embodiment of an electrically conductive connection for vertical integration of circuits.

Figure 1 shows the sequence of process steps in the production of vertically integratable circuits.

THIS PAGE BLANK (USPTO)

- 2a -

Figure 1a shows substrate 1, 2 in which insulating layer 3 is hidden. Substrate 1, 2 can consist e.g. of silicon, insulating layer 3 e.g. of silicon dioxide. Such substrates are known and referred to as SOI (silicon on insulator) substrates. Gaps 4 are formed, e.g. by etching, in substrate 1 above insulating layer 3 as far as insulating layer 3 and surrounding bars 5 in substrate 1. Bars 5 are so dimensioned that they

AMENDED SHEET

THIS PAGE BLANK (USPTO)

Patent claims

1. A method for producing vertically integratable circuits, characterized in that electrically conductive contacts (15) for vertical integration are produced using method steps serving to produce the integratable circuits themselves, the electrically conductive contacts (15) for vertical integration and the electrically conductive contacts (16) of the integrated circuit itself being produced simultaneously.
2. A method according to claim 1, comprising the steps:
 - a) producing an insulation (7, 8) at the places of the contacts for vertical integration from the front side of a substrate (1, 2, 3) bearing the vertically integratable circuits,
 - b) producing a gap (13) within the insulations (7, 8) from the front side,
 - c) filling the gaps (13) with an electroconductive material (15) from the front side,
 - d) exposing the electroconductive material (15) from the backside of the substrate bearing the vertically integratable circuits at the places (17) of the contacts for vertical integration, and
 - e) applying an electroconductive material (18) from the backside, in particular to the previously exposed electric material (15) at the places (17) of the contacts for vertical integration.
3. A method according to claim 2, characterized in that the substrate is thinned from the backside before exposure of the electroconductive material (15) from the backside.
4. A method according to claim 3, characterized in that the substrate (1, 2, 3) has a hidden insulating layer (3) and thinning is performed as far as said insulating layer (3).
5. A method according to claim 3, characterized in that thinning is performed until the insulation (8) produced for the contacts (15) for vertical integration is reached.

AMENDED SHEET

THIS PAGE BLANK (USPTO)

6. A method according to any of claims 2 to 5, characterized in that the insulation (8) produced in method step a) is produced during production of field oxide, with gaps (4) being formed in the substrate (1) that enclose substrate material (5) that oxidizes completely during production of the field oxide.
7. A method according to any of claims 2 to 6, characterized in that the gaps (13) produced in method step b) within the insulations (7, 8) and the filling of said gaps according to method step c) with an electroconductive material (15) are performed during production of a metalization level (16) with associated through holes.
8. A method according to any of claims 2 to 7, characterized in that the electroconductive material (18) applied in method step e) is applied in a backside metalization.
9. A vertically integratable circuit having electrically conductive contacts for electrically conductive connection with further vertically integratable circuits, characterized in that the electrically conductive contacts (15) used for vertical integration and associated insulations (7, 8) are produced during production of the vertically integratable circuit itself simultaneously therewith.
10. A vertically integratable circuit according to claim 9, characterized in that at least two vertically integratable circuits are connected, and their electrically conductive contacts (15, 18) for vertical integration are electrically connected with each other.

AMENDED SHEET

THIS PAGE BLANK (USPTO)

BUNDESREPUBLIK DEUTSCHLAND**PRIORITY
DOCUMENT**SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)**09/926377**
BescheinigungEPO - Munich
61

05. Mai 2000

REC'D 22 MAY 2000
WIPO PCT

Die Giesecke & Devrient GmbH in München/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Vertikal integrierbare Schaltung und Verfahren zu ihrer Herstellung"

am 23. April 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol H 01 L 23/50 der Internationalen Patentklassifikation erhalten.

München, den 27. April 2000

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Aktenzeichen: 199 18 671.5

Faust

Vertikal integrierbare Schaltung und Verfahren zu ihrer Herstellung

Die Erfindung betrifft eine vertikal integrierbare Schaltung und ein Verfahren zu ihrer Herstellung.

Unter vertikal integrierbaren Schaltungen versteht man mittels Planartechnik hergestellte Halbleiterschaltungen, die in mehreren Ebenen vertikal übereinander angeordnet werden, wodurch dreidimensionale Schaltungen entstehen. Die einzelnen Bauelemente und Schaltungsbestandteile der verschiedenen Ebenen werden durch vertikale Kontakte elektrisch miteinander verbunden. Dadurch kann gegenüber zweidimensionalen Schaltungen, d. h. Schaltungen nur in einer Ebene, eine höhere Packungsdichte erreicht werden. Auch aus sicherheitsrelevanten Aspekten bietet die vertikale Integration Vorteile, da besonders sensible Schaltungsbestandteile in Ebenen oder Schichten angeordnet werden können, die auf beiden Seiten von mindestens einer weiteren Ebene oder Schicht mit aktiven Bauelementen umgeben werden.

Bei der Herstellung der dreidimensionalen Schaltungen weichen insbesondere die vertikalen Kontakte von bekannten Technologien ab, da die einzelnen vertikal integrierbaren Schaltungen in bekannter und gut beherrschbarer Planartechnik hergestellt werden. Zur Herstellung der vertikalen Kontakte sind mehrere Verfahren bekannt geworden.

Ein bekanntes Verfahren basiert darauf, auf eine fertig prozessierte Bauelementschicht polykristallines Silizium abzuscheiden und zu rekristallisieren. In der rekristallisierten Schicht können weitere Bauelemente gefertigt werden. Nachteil dieses Verfahrens ist es, daß sich wegen der hohen Temperaturen bei der Rekristallisierung die Eigenschaften der bereits fertiggestellten aktiven Bauelemente der unteren Ebene verändern können. Weiterhin wird wegen der seriellen Prozessierung der vertikal integrierten Gesamtschaltung eine entsprechend verlängerte Durchlaufzeit für die Herstellung benötigt.

Bei einem anderen bekannten Verfahren ist es vorgesehen, die einzelnen vertikal integrierbaren Schaltungen bzw. Ebenen von Schaltungen getrennt, auf verschiedenen Substraten herzustellen. Die Substrate mit den einzelnen Schaltungsebenen werden dann gedünnt, mit Vorder- und Rückseitenkontakten versehen und mittels eines Bondverfahrens vertikal verbunden. Nachteil dieses Verfahrens ist es, daß zur Herstellung der Vorder- und Rückseitenkontakte teilweise Materialien verwendet werden, die in bekannten Halbleiterfertigungsprozessen nicht ohne weiteres eingesetzt werden können.

- 10 Aus DE 44 33 845 A1 ist ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung bekannt, bei dem zwei fertig prozessierte Substrate oder einzelne Schaltungen miteinander verbunden werden. Zur vertikalen elektrischen Verbindung der auf beiden Substraten enthaltenen Schaltungen werden nach dem Verbinden der beiden Substrate, von denen eines gedünnt wurde, weitere
- 15 Prozeßschritte durchgeführt, um eine Metallisierung zu erzeugen. Nachteil des bekannten Verfahrens ist es, daß vollständig prozessierte Substrate zur Verfügung gestellt werden müssen und daß zusätzliche Prozeßschritte zur Herstellung der vertikalen elektrischen Verbindung benötigt werden.

- 20 Aufgabe der vorliegenden Erfindung ist es daher, eine vertikal integrierbare Schaltung sowie ein Verfahren zu ihrer Herstellung anzugeben, das mit einer verringerten Anzahl von Prozeßschritten auskommt.

Die Aufgabe wird durch die Merkmale der unabhängigen Ansprüche gelöst.

25

- Dabei wird davon ausgegangen, daß zur Herstellung der vertikalen elektrischen Kontakte Prozeßschritte bei der Herstellung der vertikal integrierbaren Schaltung selbst verwendet werden. Dadurch wird der Ablauf der Herstellung von vertikal integrierbaren Schaltungen und damit der dreidimensionalen integrierten Schaltung insgesamt vereinfacht, wodurch Anlagenlaufzeiten optimiert werden, da
- 30 Prozeßschritte gespart werden. Weil zur Herstellung der vertikalen elektrischen Verbindungen zudem nicht mehr von fertig prozessierten Substraten ausgegangen

wird, wird zudem eine verbesserte Ausbeute erreicht, da Prozeßschritte, welche insbesondere die bereits hergestellten aktiven Schaltungsbestandteile verändern könnten, wie z. B. Schritte mit hohen Prozeßtemperaturen, nach der Herstellung der Schaltungsbestandteile nicht mehr nötig sind.

5

Weitere Vorteile der Erfindung ergeben sich aus der nachfolgenden beispielhaften Beschreibung anhand von Figuren.

Es zeigt:

10

Figur 1 verschiedene Prozeßschritte eines Verfahrens zur Herstellung vertikal integrierbarer Schaltungen; und

15

Figur 2 eine Ausführungsform einer elektrisch leitfähigen Verbindung für die vertikale Integration von Schaltungen.

Figur 1 zeigt den Ablauf von Prozeßschritten bei der Herstellung vertikal integrierbarer Schaltungen.

20

In Figur 1a ist ein Substrat 1, 2 dargestellt, in dem eine Isolierschicht 3 verborgen ist.

25

Das Substrat 1, 2 kann z. B. aus Silizium bestehen, die Isolierschicht 3 z. B. aus Siliziumdioxid. Derartige Substrate sind bekannt und werden als SOI-Substrate (Silicon On Insulator) bezeichnet. In das Substrat 1 oberhalb der Isolierschicht 3 sind Aussparungen 4 bis zur Isolierschicht 3 eingebracht, z. B. durch Ätzen, die Stege 5 im Substrat 1 umgeben. Die Stege 5 sind so dimensioniert, daß sie in einem nachfolgenden Prozeßschritt vollständig oxidiert werden können. Aussparungen 4 und Stege 5 sind dabei so bemessen, daß ihre Fläche ausreicht um Kontakte für die vertikale Integration aufzunehmen sowie eine Isolierung für diese Kontakte zu bilden. Gleichzeitig mit den Aussparungen 4 können auch nicht dargestellte Justagemarken geätzt werden, die später dazu verwendet werden, die Schaltungen bzw. das Substrat für die vertikale Integration auszurichten.

30

Figur 1b zeigt das SOI-Substrat 1, 2, 3 nach weiteren Prozeßschritten. Es wurden verschieden dotierte Wannen 6 sowie Oxidschichten 8 und 9 erzeugt. Die dotierten Wannen 6 sowie Feldoxid 8 und Gateoxid 9 bilden später die aktiven Bauteile der vertikal integrierbaren Schaltung. Ihre Herstellung und Funktionsweise ist bekannt und braucht daher nicht beschrieben zu werden, zumal sie für das Verständnis der vorliegenden Erfindung nicht von Bedeutung ist. An der Stelle der Aussparungen 4 und Stege 5 aus Figur 1a befindet sich nach der Oxidation, z. B. einer Hochtemperaturoxidation, ein Oxid, das Bestandteil des Feldoxids 8 ist und bis an die Isolierschicht 3 reicht. Bei der Oxidation muß beachtet werden, daß das Feldoxid lunkerfrei ist, und daß sich eine möglichst planare Oberfläche ergibt.

Figur 1c zeigt das Substrat 1, 2, 3 nach Vervollständigung der Bauteile, z. B. durch Einbringen verschiedener Dotiermaterialien 11 und 12 oder durch Aufbringen von polykristallinem Silizium 10. Um die weitere Verarbeitung zu ermöglichen, wurde außerdem eine Isolations- bzw. Planarisierungsschicht 7, z. B. aus Fotolack oder Polyimid aufgebracht.

Figur 1d zeigt die für eine erste Metallisierungsebene eingebrachten Aussparungen 13 und 14, die beispielsweise durch Ätzen hergestellt werden können und als Vias bezeichnet werden. Die Aussparungen 14 dienen zum Anschluß eines Bauteils, hier eines Transistors, die Aussparungen 13 werden für die spätere vertikale Integration vorgesehen.

Figur 1e zeigt die für die erste Metallisierungsebene eingebrachte Durchgangsmetallisierung 15 und 16, welche die Vias 13 und 14 aus Figur 1d füllen. In einem anschließenden, nicht dargestellten, Prozeßschritt wird auf die Oberfläche der Planisierungsschicht 7 eine Metallisierung zur Verbindung der Durchgangsmetallisierungen 15 und 16 aufgebracht. Für die Metallisierungen wird üblicherweise Aluminium verwendet.

Weitere Metallisierungsebenen können folgen, wobei nach jeder Metallisierungsebene eine Isolierschicht, z. B. aus Siliziumdioxid, aufgetragen wird. Neben der

dargestellten und beschriebenen Herstellung der Aussparungen 13 bzw. der Durchmetallisierungen 15 für die Kontakte zur vertikalen Integration in der ersten Metallisierungsebene ist es auch möglich, diese in anderen Metallisierungsebenen vorzusehen. Nach Herstellung aller Metallisierungsebenen werden üblicherweise verschiedene Abschlußschichten wie Passivierungsschicht, eine Oxidschicht und Planisierungsschicht aufgebracht.

Figur 1f zeigt das Substrat 1, 3 nach dem Dünnen. Die untere Schicht 2 des Substrats 1, 2, 3, wie in den vorherigen Figuren dargestellt, wurde dabei z. B. mittels eines Ätzvorgangs entfernt. Als besonders vorteilhaft erweist sich dabei die dargestellte Verwendung eines Substrats mit einer verborgenen Isolierschicht 3, da diese als Ätzstopp dient. Prinzipiell ist aber auch die Verwendung anderer Substrate möglich. Diese müssen aber nach dem Dünnen auf der Rückseite mittels z. B. einer Oxidabscheidung isoliert werden. Zur Handhabung des Substrats beim Dünnen und bei der nachfolgenden Weiterverarbeitung kann das Substrat mit seiner prozessierten Oberfläche 1 auf einen Handlingwaver aufgebracht werden, von dem es nach vollständiger Bearbeitung gelöst wird. Das Substrat wird in diesem Fall bis zum Oxid 8 gedünnt. In beiden Fällen kann es auch vorgesehen sein, die Durchmetallisierung 15 bis zum Ende des Oxids 8 vorzunehmen, d. h. vorher entsprechend tief zu ätzen.

Figur 1g zeigt das prozessierte Substrat 1, 3, bei dem an den Stellen der Kontakte für die vertikale Integration Aussparungen 17 von der Rückseite 3 eingeätzt wurden. Die Ätzung, die beispielsweise naßchemisch vorgenommen werden kann, reicht bis an die Durchmetallisierungen 15.

Figur 1h zeigt eine abschließende Rückseitenmetallisierung 18 des Substrats 1, 3. Die Rückseitenmetallisierung 18 wird so vorgenommen, daß sich die für die vertikale Integration benötigten Kontakte 15, 18 ergeben, d. h. die Rückseitenmetallisierung 18 wird an den Stellen der Durchmetallisierung 15, wie in Figur 1h dargestellt, unterbrochen. Abschließend können auch auf die Rückseitenmetallisierung Abschlußschichten aufgebracht werden, wie oben für die Vorderseite des Substrats

beschrieben. Wie oben beschrieben, wurde an der Stelle des Kontakts für die vertikale Integration 15, 18 das Oxid 8 derart dimensioniert, daß es den Kontakt für die vertikale Integration 15, 18 zur elektrischen Isolierung vollständig umschließt.

- 5 Die mittels des oben beschriebenen Verfahrens hergestellten Schaltungen bzw. Substrate für die vertikale Integration werden dann beispielsweise mit den Rückseitenmetallisierungen 18 aneinandergefügt, wobei zur Justage die oben erwähnten Justagemarken verwendet werden. Die Verbindung von mehr als zwei Substraten wird ermöglicht, wenn die Kontakte für die vertikale Integration auch auf
- 10 die Oberfläche des prozessierten Substrats 1 geführt werden. In diesem Fall müssen für die Justage unter Umständen Infrarottechniken verwendet werden, da die Justagemarken durch die vertikale Integration verdeckt werden können.

- Zur Herstellung einer elektrischen Verbindung zwischen den Kontakten für die vertikale Integration in verschiedenen Ebenen, d. h. verschiedenen Substraten,
- 15 können Rückseitenmetallisierungen bzw. Metallisierungen auf den Oberflächen der prozessierten Substrate vorgesehen werden, die bei niedrigen Temperaturen schmelzen bzw. anschmelzen, um eine sichere elektrische Verbindung zu ergeben. Stellen der Oberflächen, auf Vorder- oder Rückseite des Substrats, mit Kontakten für
- 20 die vertikale Integration dürfen außerdem nicht von den oben erwähnten Abschlußschichten bedeckt sein, damit eine elektrische Verbindung hergestellt werden kann. Dazu können diese Stellen entweder bei der Erzeugung der Abschlußschichten ausgenommen werden oder diese Stellen werden nach der Erzeugung der Abschlußschichten beispielsweise freigeätzt.

25

- Zur vertikalen Integration kann es vorgesehen sein, daß ganze mit Kontakten für die vertikale Integration versehene Substrate in der beschriebenen Weise verbunden werden. Ebenso ist es möglich, die Substrate in einzelne Schaltungen zu zerteilen und Einzelschaltungen vertikal zu integrieren. Vor der vertikalen Integration können
- 30 die Einzelschaltungen getestet werden und fehlerhafte Einzelschaltungen können aussortiert werden. Eine andere Möglichkeit ist die vertikale Integration von Einzelschaltungen auf Schaltungen eines ganzen Substrats und anschließendes

Zerteilen des Substrats. Auch diese Möglichkeit erlaubt den vorherigen Funktionstest sowohl der Einzelschaltungen als auch der Schaltungen auf dem Substrat.

- 5 Neben dem oben beschriebenen Prozeß zur Herstellung von vertikal integrierbaren Schaltungen anhand eines Siliziumsubstrats, ist die Verwendung des erfindungsgemäßen Verfahrens auch für Prozesse möglich, die auf anderen Halbleitermaterialien basieren.
- 10 Figur 2 zeigt eine vorteilhafte Ausgestaltung eines erfindungsgemäßen Kontakts für die vertikale Integration. Zusätzlich zum im Zusammenhang mit Figur 1 beschriebenen Kontakt für die vertikale Integration 15, 18 ist eine weitere Metallisierung 19 innerhalb des isolierenden Oxids 8 vorgesehen. Die Metallisierung 19 ist z. B. ringförmig ausgestaltet und umgibt die Metallisierung des Kontakts für die vertikale Integration 15 vollständig. Weiterhin wird die ringförmige Metallisierung 19 mittels der auf der Oberfläche in einem späteren Prozeßschritt aufgetragenen Metallisierung derart elektrisch leitend verbunden, daß sie im Betriebsfall auf Masse gelegt ist. Auf diese Weise kann erreicht werden, daß der Signalfluß durch den vertikalen Kontakt 15, 18 abgeschirmt ist. Dann ist eine Auswertung des Signalflusses durch den Kontakt für die vertikale Integration auch nicht von einer der Stirnseite des Substrats möglich, falls sich der Kontakt für die vertikale Integration in der Nähe einer der Stirnseiten des Substrats befindet.
- 20

Patentansprüche

1. Verfahren zur Herstellung vertikal integrierbarer Schaltungen, dadurch gekennzeichnet, daß für die Herstellung elektrisch leitfähiger Kontakte für die vertikale Integration Verfahrensschritte verwendet werden, die der Herstellung der integrierbaren Schaltungen selbst dienen.

5

2. Verfahren nach Anspruch 1, umfassend die Schritte:

- a) Erzeugen einer Isolierung an den Stellen der Kontakte für die vertikale Integration von der Vorderseite eines die vertikal integrierbaren Schaltungen tragenden Substrats aus,
- 10 b) Erzeugen einer Aussparung innerhalb der Isolierungen von der Vorderseite aus,
- c) Auffüllen der Aussparungen mit einem elektrisch leitenden Material von der Vorderseite aus,
- 15 d) Freilegen des elektrisch leitenden Materials von der Rückseite des die vertikal integrierbaren Schaltungen tragenden Substrats aus an den Stellen der Kontakte für die vertikale Integration, und
- e) Aufbringen eines elektrisch leitenden Materials von der Rückseite aus, insbesondere jeweils auf das zuvor freigelegte elektrische Material an den Stellen der Kontakte für die vertikale Integration.

20

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß vor dem Freilegen des elektrisch leitenden Materials von der Rückseite aus das Substrat von der Rückseite her gedünnt wird.

- 25 4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß das Substrat eine verborgene Isolierschicht aufweist, und daß bis zu dieser Isolierschicht gedünnt wird.

5. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß bis zum Erreichen der für die Kontakte für die vertikale Integration erzeugten Isolierung gedünnt wird.
6. Verfahren nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß die in
5 Verfahrensschritt a) erzeugte Isolierung bei der Erzeugung von Feldoxid erzeugt wird, wobei in das Substrat Aussparungen eingebracht sind, die Substratmaterial einschließen, das während der Erzeugung des Feldoxids vollständig oxidiert.
7. Verfahren nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die in
10 Verfahrensschritt b) erzeugten Aussparungen innerhalb der Isolierungen sowie die das Auffüllen dieser Aussparungen nach Verfahrensschritt c) mit einem elektrisch leitenden Materials bei der Erzeugung einer Metallisierungsebene mit zugehörigen Durchgangslöchern vorgenommen wird.
8. Verfahren nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, daß das in
15 Verfahrensschritt e) aufgebrachte elektrisch leitenden Material bei einer Rückseitenmetallisierung aufgebracht wird.
9. Vertikal integrierbare Schaltung, die zur elektrisch leitfähigen Verbindung mit
20 weiteren vertikal integrierbaren Schaltungen elektrisch leitfähige Kontakte aufweist, dadurch gekennzeichnet, daß die für die vertikale Integration verwendeten elektrisch leitfähigen Kontakte sowie zugehörige Isolierungen bei der Herstellung der vertikal integrierbaren Schaltung selbst erzeugt werden.
10. Vertikal integrierbare Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß
25 mindestens zwei vertikal integrierbare Schaltungen verbunden sind, und daß ihre elektrisch leitfähigen Kontakte für die vertikale Integration elektrisch leitend miteinander verbunden sind.

Zusammenfassung

Die Erfindung betrifft eine vertikal integrierbare Schaltung und ein Verfahren zu ihrer Herstellung.

Im Gegensatz zu bekannten Verfahren zur Herstellung der vertikalen elektrischen Verbindungen werden beim vorliegenden Verfahren Prozeßschritte bei der Herstellung der vertikal integrierbaren Schaltung selbst verwendet, um die vertikale Integration zu ermöglichen. Dadurch wird der Ablauf der Herstellung von vertikal integrierbaren Schaltungen und damit der dreidimensionalen integrierten Schaltung insgesamt vereinfacht, wodurch Anlagenlaufzeiten optimiert werden, da Prozeßschritte gespart werden. Weil zur Herstellung der vertikalen elektrischen Verbindungen zudem nicht mehr von fertig prozessierten Substraten ausgegangen wird, wird zudem eine verbesserte Ausbeute erreicht, da Prozeßschritte, welche insbesondere die bereits hergestellten aktiven Schaltungsbestandteile verändern könnten, wie z. B. Schritte mit hohen Prozeßtemperaturen, nach der Herstellung der Schaltungsbestandteile nicht mehr nötig sind.

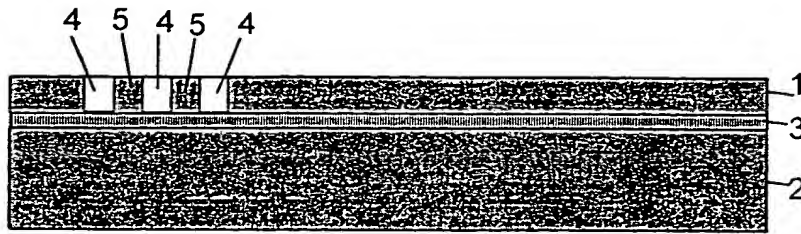


Fig. 1a

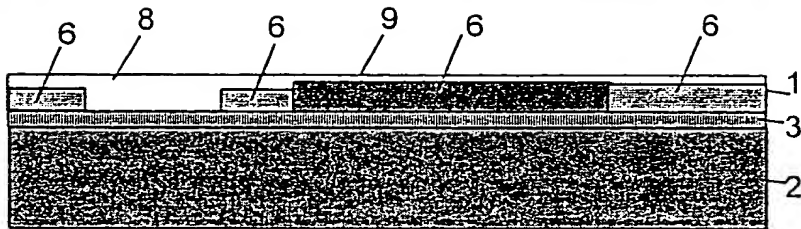


Fig. 1b

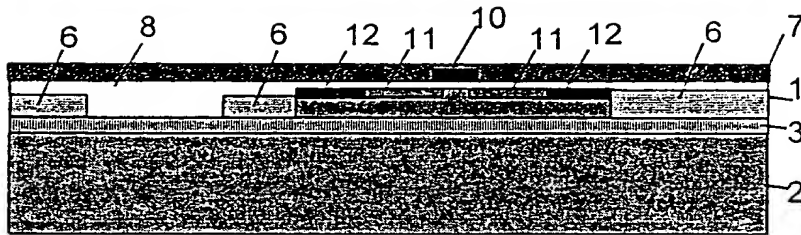


Fig. 1c

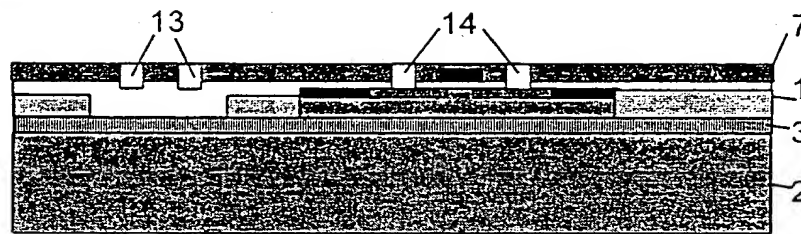


Fig. 1d

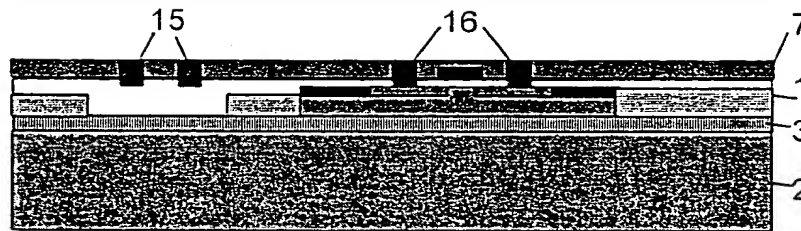


Fig. 1e

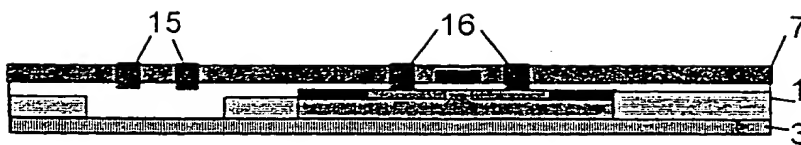


Fig. 1f

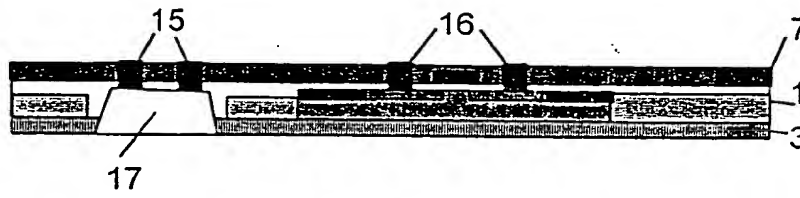


Fig. 1g

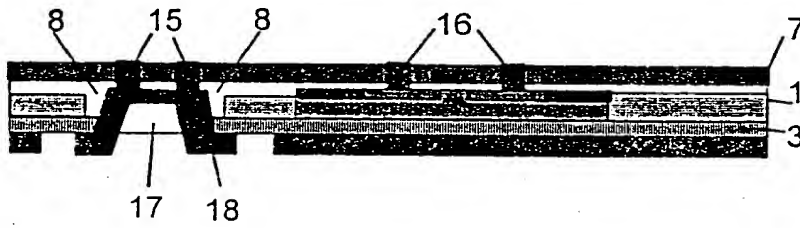


Fig. 1h

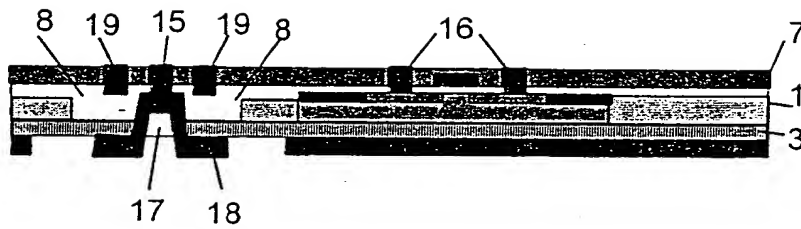


Fig. 2

THIS PAGE BLANK (USPTO)